

**PLANE DISPLAY DEVICE**

Patent Number: JP7140927  
Publication date: 1995-06-02  
Inventor(s): KURIYAMA HIROHITO; others: 03  
Applicant(s):: FUJITSU LTD  
Requested Patent: ☐ JP7140927  
Application Number: JP19930290881 19931119  
Priority Number(s):  
IPC Classification: G09G3/28 ; G09G3/20 ; H04N5/66 ; H04N5/70 ; H04N9/20  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To provide a plane display device provided with a high speed operation processing function capable of instantly displaying an image with stable display quality even when a first line data signal is sent as soon as a frame start signal is received.

**CONSTITUTION:**In a drive control system in the plane display device, further, every divided sub frame is constituted of at least an initialization period S1' initializing a display picture, an address period S2 selecting plural pieces of cell parts and executing the write operation of the proper display data and a maintenance discharge period S3 discharging and light emitting the cell parts written with the display data for a prescribed period, further the plane display device is provided with an initializing operation start point of time control means detecting an input of a display start signal VSYNC of one frame and adjusting the initializing operation start point of time ST of the initialization period S1' so as to become before the input point of time of the frame start signal VSYNC.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-140927

(43) 公開日 平成7年(1995)6月2日

| (51) Int.Cl. <sup>a</sup> | 識別記号 | 庁内整理番号    | F I | 技術表示箇所 |
|---------------------------|------|-----------|-----|--------|
| G 0 9 G                   | 3/28 | E 9378-5G |     |        |
|                           |      | H 9378-5G |     |        |
|                           | 3/20 | V 9378-5G |     |        |
| H 0 4 N                   | 5/66 | 1 0 1 B   |     |        |
|                           | 5/70 | A         |     |        |

審査請求 未請求 請求項の数9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平5-290881

(22) 出願日 平成5年(1993)11月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 栗山 博仁

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 上田 壽男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 金子 啓一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 宇井 正一 (外4名)

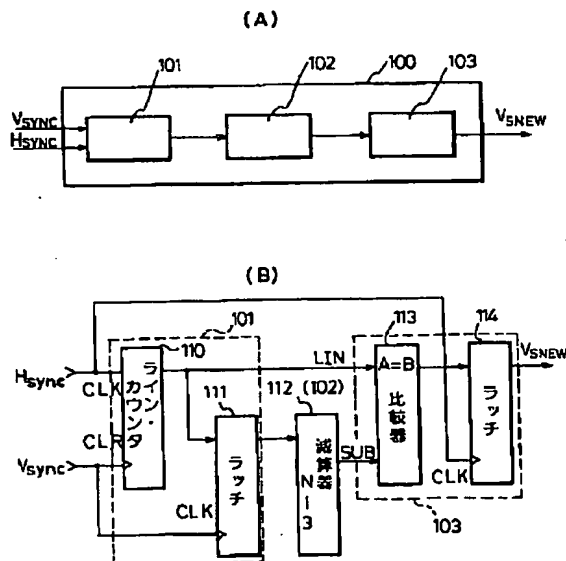
最終頁に続く

(54) 【発明の名称】 平面表示装置

(57) 【要約】

【目的】 フレーム開始の信号を受けてすぐに1ライン目のデータ信号が送られてくる様な場合でも、即時に安定した表示品質の画像表示を行いうる高速演算処理機能を有する平面表示装置を提供する。

【構成】 平面表示装置に於ける駆動制御系を、該分割された各サブフレームを、更に少なくとも表示画面の初期化を行う初期化期間S1'、当該複数個のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間S2及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間S3とで構成せしめると共に、1フレームの表示開始信号V<sub>sync</sub>の入力を検出して、当該初期化期間S1'の初期化操作開始時点S<sub>T</sub>を、当該フレーム開始信号V<sub>sync</sub>の入力時点以前となる様に調整する初期化操作開始時点制御手段100を有している平面表示装置。



## 【特許請求の範囲】

【請求項1】 表面に電極が配置されている少なくとも2枚の基板が、当該電極部が、互いに直交して対向する様に、隣接して配置され、且つ当該基板間に適宜の蛍光体が挿入されており、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部を形成しており、当該セル部は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有している平面表示装置に於いて、該表示装置に表示される1つのフレームを走査ライン単位に構成される複数のサブフレームに時間的に分割して表示すると共に、該分割された各サブフレームを、更に少なくとも表示画面の初期化を行う初期化期間、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間とで構成せしめると共に、1フレームの表示開始信号の入力を検出して、当該初期化期間の初期化操作開始時点を、当該フレーム開始信号の入力時点以前となる様に調整する初期化操作開始時点制御手段を有している事を特徴とする平面表示装置。

【請求項2】 当該1サブフレーム期間内に於ける該初期化期間は、表示画面の初期化を行う為に、当該各セルに対して、所定のデータを一括書き込み／一括消去する期間である事を特徴とする請求項1記載の平面表示装置。

【請求項3】 当該初期化操作開始時点制御手段は、1フレームの表示開始信号の入力を検出して、最初のサブフレームに於ける初期化期間の初期化操作開始時点を、当該フレーム開始信号の入力時点より、予め定められた所定の個数の水平同期信号 $H_{sync}$ 分に相当する時間だけ、早くなる様に構成されている事を特徴とする請求項1記載の平面表示装置。

【請求項4】 当該初期化操作開始時点制御手段は、1フレームの表示開始指示信号間隔を演算する手段と1フレームの表示開始指示信号間隔から該予め定められた所定の個数の水平同期信号 $H_{sync}$ に相当する時間を減算する減算手段と、該1フレームの表示開始指示信号発生時点から該減算手段により出力される時間が経過した時点を、当該1フレームに於ける初期化操作開始時点と決定する手段とを有している事を特徴とする請求項3記載の平面表示装置。

【請求項5】 3電極を使用して画像の表示駆動を実行するものである事を特徴とする請求項3記載の平面表示装置。

【請求項6】 3電極型カラー表示装置である事を特徴とする請求項5記載の平面表示装置。

【請求項7】 維持放電を行うサブフレームに於いて、単位時間(1 $H_{sync}$ )内に行う維持放電回数を可変させる制御手段を更に設け、表示画面の表示輝度を制御する事を特徴とする請求項1記載の平面表示装置。

【請求項8】 表示用電源の電力を低減する自動電力制御回路を有する事を特徴とする請求項1記載の平面表示装置。

【請求項9】 任意のホスト装置より入力される表示データ送出信号に応答して、当該入力信号からデータ書き込み前に初期化の期間を自動的に設定することにより、任意のホスト装置からの制御タイミングに対応した駆動波形を生成する機能を有する事を特徴とする請求項1記載の平面表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は平面表示装置に関するものであり、特に詳しくは、平面表示装置に於いてフレーム開始信号が入力してからすぐに表示データが有効となる場合に対応しうる高速動作が可能な平面表示装置に関するものである。

## 【0002】

【従来の技術】 近年、薄形の利点からCRTに代わりPDP(プラズマディスプレイ)、LCD(液晶ディスプレイ)、EL(エレクトロルミネッセンス)等の平面マトリクス形表示装置の要求が増加しているが、特に最近ではカラー表示の要求が高まっている。

【0003】 従来から、プラズマディスプレイ装置やエレクトロルミネッセンスディスプレイ(EL)装置等が代表的とされている、平面表示装置、即ちフラット形表示装置は、奥行きが小さく、且つ大型の表示画面が実現されて来ている事から、急速にその用途が拡大され、生産規模も増大して来ている。処で、係る平面表示装置は、一般的には、電極間に堆積された電荷を所定の電圧下で放電発光させて表示するものであり、その一般的な表示原理を、プラズマディスプレイ装置を例に採って、その構造と作動を以下に概略的に説明する。

【0004】 即ち、従来から良く知られているプラズマディスプレイ装置(AC型PDP)には、2本の電極で選択放電(アドレス放電)および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型とがある。一方、カラー表示を行うプラズマディスプレイ装置(PDP)では、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の2電極型では、当該蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。

【0005】 これを回避するために、カラープラズマディスプレイ装置では、面放電を利用した3電極構造が一般に用いられている。さらに、この3電極型においても、第3の電極の維持放電を行う第1と第2の電極が配置されている基板に当該第3の電極を形成する場合と、対向するもう一つの基板に当該第3の電極を配置する場合がある。

【0006】また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。さらに、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合と、蛍光体からの反射を見る場合がある。

【0007】上記した各タイプのプラズマディスプレイ装置は、何れも原理は、互いに同一であるので、以下では、維持放電を行う第1と第2の電極を設けた第1の基板と、これとは別で、当該第1の基板と対向する第2の基板に第3の電極を形成して構成された平面表示装置に付いてその具体例を説明する。即ち、図6(A)は、上記した3電極方式のプラズマディスプレイ装置(PDP)の構成の概略を示す概略的平面図であり、又、図6

(B)は、図6(A)のプラズマディスプレイ装置に形成される、一つの放電セル10における概略的断面図である。

【0008】即ち、当該プラズマディスプレイ装置は、図6(A)及び図6(B)から判る様に、2枚のガラス基板12、13によって構成されている。第1の基板13には、互いに平行して配置された維持電極として作動する第1の電極(X電極)14、および第2の電極(Y電極)15を備え、それらは、誘電体層18で被覆されている。

【0009】更に、該誘電体層18からなる放電面には保護膜としてMgO(酸化マグネシウム)膜等で構成された被膜21が形成されている。一方、前記第1のガラス基板13と向かい合う第2の基板12の表面には、第3の電極即ちアドレス電極として作動する電極16が、該維持電極14、15と直交する形で形成されている。

【0010】また、アドレス電極16上には、赤、緑、青の発光特性の一つを持つ蛍光体19が、該第2の基板12の該アドレス電極が配置されている面と同一の面に形成されている壁部17によって規定される放電空間20内に、配置されている。つまり、該プラズマディスプレイ装置に於ける各放電セル10は壁(障壁)によって仕切られている。

【0011】また、上記具体例に於ける該プラズマディスプレイ装置1に於いては、第1の電極(X電極)14と該第2の電極(Y電極)15とは、互いに平行に配置され、それぞれ対を構成しており、該第2の電極(Y電極)15は、それぞれ個別に駆動されるが、該第1の電極(X電極)14は、共通電極を構成しており、1個のドライバで駆動される構成と成っている。

【0012】又、図7は、図6(A)および図6(B)に示したプラズマディスプレイ装置を駆動するための周辺回路を示した概略的ブロック図であって、アドレス電極16は1本毎にアドレスドライバ31に接続され、そのアドレスドライバ31によってアドレス放電時のアド

レスパルスが各アドレス電極に印加される。また、Y電極15は、個別にYスキャンドライバ34に接続されている。

【0013】該スキャンドライバ34は更にY側共通ドライバ33に接続されており、アドレス放電時のパルスはスキャンドライバ34から発生されるが、維持放電パルス等はY側共通ドライバ33で発生し、Yスキャンドライバ34を経由して、Y電極15に印加される。一方、X電極14は当該平面表示装置に於けるパネルの全表示ラインに亘って共通に接続され取り出されている。

【0014】つまり、X電極側の共通ドライバ32は、書き込みパルス、維持パルス等を発生し、これらを同時平行的に各Y電極15に印加する。これらのドライバ回路は、制御回路によって制御され、その制御回路は、装置の外部より入力される、同期信号や表示データ信号によって制御される。つまり、図7から明らかな様に、該アドレスドライバ31は、制御回路35に設けた表示データ制御部36と接続されており、該表示データ制御部36は、外部から入力される、表示データを示すドットクロック信号(CLOCK)及び表示データ信号(DATA)から、1水平同期信号(Hsync)によって1ライン毎に選択されるべきアドレス電極のアドレスデータを出力する。

【0015】又、該Yスキャンドライバ34は、該制御回路35に設けられているパネル駆動制御部38のスキャンドライバ制御部39と接続されており、外部から入力される1フレームの開始を指示する信号である垂直同期信号Vsyncと1ラインの走査開始を指示する信号である水平同期信号Hsyncに応答して、該Yスキャンドライバ34を駆動して、該平面表示装置1に於ける複数本のY電極15を1本ずつ順次を選択して、1フレームの画像を表示する事になる。

【0016】図7に於いて、当該スキャンドライバ制御部39から出力されるY-DATAは、当該Yスキャンドライバを1ビット毎にONさせる為のスキャンデータであり、又Y-CLOCKは、該Yスキャンドライバを1ビット毎にONさせる為の転送クロックである。尚、Y-STB1は、該YスキャンドライバをONさせる為のタイミング信号であり、又Y-STB2は、該YスキャンドライバをOFFさせる為のタイミング信号である。

【0017】一方、本具体例に於けるX電極側の共通ドライバ32とY電極側の共通ドライバ33は何れも該制御回路35に設けられた共通ドライバ制御部40に接続されており、該X電極14と該Y電極15とを交互に印加される電圧の極性を反転させながら一斉に駆動して、上記した維持放電を実行させるものである。図7に於いて該共通ドライバ制御部40から出力されるX-DDは、X側共通ドライバのON/OFFを制御する為にVs及びVwを出力するもので有り、又図中、該共通ドライバ制御部40から出力されるX-DDは、X側共通ドライバのO

N/OFFを制御する為にGNDを出力するものである。

【0018】又、同様に、該共通ドライバ制御部40から出力されるY-DDは、Y側共通ドライバのON/OFFを制御する為にV<sub>s</sub>及びV<sub>w</sub>を出力するもので有り、又同中、該共通ドライバ制御部40から出力されるY-DDは、Y側共通ドライバのON/OFFを制御する為にGNDを出力するものである。ここで、従来の三電極型カラー単階調表示のPDPを例に採って、画像表示駆動方法の例を図8のタイミング波形図を参照しながら説明する。

【0019】即ち、従来に於いては、図8に示すタイミングの線順次・自己消去アドレス方式により駆動していた。この方式によれば、表示画面の初期化、データの書き込み、表示を行うサステインの一連の動作は、1ラインの走査期間を規定する信号(H<sub>sync</sub>)期間内に行われるが、そのうち選択されたラインのみに対しデータの書き込みが有効となる。

【0020】図8から明らかな様に、1H<sub>sync</sub>期間は、選択ライン書き込み期間S1と自己消去アドレス期間S2及び維持放電期間であるサステイン期間S3に分割され、それぞれのH<sub>sync</sub>期間に於いて、選択ラインはまず、選択ライン書き込み期間S1に於いて、X、Y電極間でXからY方向の電界が印加されサステインを行う。従って、前のフレームで点灯していたセルはこのサステインで放電し、逆に点灯していないセルはここでは点灯しない。次に、再びX、Y電極間でXからY方向にサステインより大きな電界を印加し、1ライン上の全てのセルが点灯するように書き込みを行う。ここで、1ラインの全てのセルが点灯し、セル内部に壁電荷による内部電界を保有するようになり、全面が一様に初期化される。そして、今度はX、Y電極間でYからX方向の電界が印加され、サステインを行い再び全面が点灯する。

【0021】次に、自己消去アドレス期間S2に於いては、アドレス電極からアドレスパルス印加することにより表示データの書き込みが行われるが、これは表示しないセルの内部電界を自己消去させる形式によって実行されるものである。即ち、X、Y間のサステインとアドレスパルスの印加を同時に止め、X、Y間と同電位にして外部電界を除き、アドレス電極とY電極間には逆の電界が発生するように電位を与えると内部電界により自己消去放電が起こり、書き込みが行われなかったセルは以降の期間、即ち維持放電期間S3に於いては点灯はしなくなる。

【0022】そして、次のフレームに於いて、再び選択ラインとなるまでは、X、Y間のサステインをを繰り返し、表示したいセルはサステインの度に点灯を続け、表示しないセルが点灯することはない。

【0023】

【発明が解決しようとする課題】ところが、上記した従来に於ける自己消去の発生メカニズムは、セル内部に発

生する自身の内部電界を利用するため、その内部電界の大きさにある程度の精度が要求される。内部電界の大きさ、すなわち壁電荷の量は放電発光する際のセルの状態に大きく作用されるが、表示パネルを完全に均一に作ることは非常に困難で、特に面積が大きくなるほど難しくなる。

【0024】また、初期化の1ライン書き込みの際、前のフレームで点灯していたセルとそうでないセルとの間には保有する壁電荷に差があり、また書き込み時にセルにかかる電界(外部印加電界-内部電界)も違う。それらを全て考慮した場合、内部電界による自己消去において、十分な消去が行われない消去ミスによる書き込みミスが発生してしまい、安定な表示品質を損なうという問題を生じていた。

【0025】その問題を改善するために、一括書き込み・一括消去・線順次アドレス方式の駆動が本願出願人より提案されている。当該一括書き込み・一括消去・線順次アドレス方式の駆動方式の概略を図9に示し、これを簡単に説明する。即ち、図9においては、1画面の表示をフレーム単位で構成し、全ライン一括書き込み・一括消去を行う期間S1'と、1ラインずつデータ書き込み走査を行う期間S2と全面的表示を行うサステイン期間S3とに分けて駆動する様に構成されており、係る方式により、安定したアドレス書き込みが出来るとしている。

【0026】ところが、この方式に於いても、フレーム開始の制御信号を受けた後、表示データを書込んで行くまでの間に全ライン一括書き込み・一括消去を行うための期間が必要になり、ホストから送出される信号と送出データとの間に十分な時間がない場合に適用できないといった問題を生じていた。つまり、従来に於いては、フレーム開始の制御信号V<sub>sync</sub>を受けた後、上記した初期化に要する時間が例えば数個の水平同期信号H<sub>sync</sub>が入力される期間が必要とされている。

【0027】従って、フレーム開始の制御信号V<sub>sync</sub>を受けた直後から1ライン目のデータ信号が送られてくる様な場合には、フレームメモリ等のデータ格納手段を持たないとそのデータ処理が出来ないと言う問題があった。そのため、従来に於いては、仕様規格を設定し、所定のフレーム表示開始信号V<sub>sync</sub>が入力された後、所定の期間即ち、例えば数個の水平同期信号H<sub>sync</sub>が入力される期間に相当する期間は、表示データ信号の入力を禁止する様に規定されていたので、データを送出するホスト側での信号に汎用性を持たない状態に有った。

【0028】従って、本発明の目的は、係る従来の問題を解決し、フレーム開始の信号を受けてすぐに1ライン目のデータ信号が送られてくる様な場合でも、即時に安定した表示品質の画像表示を行いうる高速演算処理機能を有する平面表示装置を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、表面に電極が配置されている少なくとも2枚の基板が、当該電極部が、互いに直交して対向する様に、隣接して配置され、且つ当該基板間に適宜の蛍光体が挿入されており、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部を形成しており、当該セル部は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有している平面表示装置に於いて、該表示装置に表示される1つのフレームを走査ライン単位で構成される複数のサブフレームに時間的に分割して表示すると共に、該分割された各サブフレームを、更に少なくとも表示画面の初期化を行う初期化期間、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間とで構成せしめると共に、1フレームの表示開始信号の入力を検出して、当該初期化期間の初期化操作開始時点、当該フレーム開始信号の入力時点以前となる様に調整する初期化操作開始時点制御手段を有している平面表示装置である。

#### 【0030】

【作用】本発明に係る該平面表示装置に於いては、上記した従来に於ける問題点を解決する為に、前記した様な技術構成を採用しているため、外部より当該フレーム開始の制御信号 $V_{sync}$ を受けてから、再び外部より次のフレーム開始制御信号 $H_{sync}$ を受けるまでの間に、当該平面表示装置内部で、積極的に初期化期間を確保する為に、必要なフレーム制御信号 $V_{line}$ を生成することにより、独自に初期化を行う期間を設定することが出来ると同時に、当該フレーム制御信号 $V_{line}$ を、当該フレーム開始制御信号 $V_{sync}$ よりも前の任意の時点に、設定する事が出来るので、当該フレームに於ける該初期化開始操作を従来に比べて早期に実行できるので、フレーム開始の信号を受けてすぐに1ライン目のデータ信号が送られてくる様な場合でも、即時に安定した表示品質の画像表示を行いうる平面表示装置を得る事が出来ると共に、任意のホスト装置からでも画像入力信号を受ける事が可能となる。

#### 【0031】

【実施例】以下に、本発明に係る平面表示装置に関する具体例（実施例1）を図面を参照しながら詳細に説明する。即ち、図1（A）は、本発明に係る平面表示装置の主たる構成部分である初期化操作開始時点制御手段100の一具体例の構成を示すブロックダイアグラムであって、具体的には、図6に示される、表面に電極が配置されている少なくとも2枚の基板12、13が、当該電極部が、互いに直交して対向する様に、隣接して配置され、且つ当該基板間12、13に適宜の蛍光体19が挿

入されており、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部10を形成しており、当該セル部10は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有している平面表示装置を使用する事を前提とするものであって、該表示装置は、表示される1つのフレームを走査ライン毎に構成される複数のサブフレームに時間的に分割して表示すると共に、前記した平面表示装置に於ける駆動制御系の中に、該分割された各サブフレームを、更に少なくとも表示画面の初期化を行う初期化期間S1、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間S2及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間S3とで構成せしめたものであって、係る構成の平面表示装置に於いて、図1（A）に示す様な、1フレームの表示開始信号 $V_{sync}$ の入力を検出して、当該初期化期間S1'の初期化操作開始時点STを、当該フレーム開始信号 $V_{sync}$ の入力時点以前となる様に調整する初期化操作開始時点制御手段100が設けられているものである。

【0032】本発明に係る当該平面表示装置としては、3電極を使用して画像の表示駆動を実行するものであってもよく、又当該平面表示装置は、3電極型カラー表示装置で有っても良い。尚、本発明に係る当該平面表示装置に於いては、前記した様に、当該1フレーム期間内に於ける該初期化期間S1'は、表示画面の初期化を行う為に、当該各セルに対して、所定のデータを一括書き込み／一括消去する期間である事が望ましい。

【0033】又、本発明に於ける該平面表示装置に於いては、当該初期化操作開始時点制御手段100は、1フレームの表示開始信号 $V_{sync}$ の入力を検出して、最初のサブフレームとなる初期化期間S1'の初期化操作開始時点STを、当該フレーム開始信号 $V_{sync}$ の入力時点より、予め定められた所定の個数の水平同期信号 $H_{sync}$ パルス分に相当する時間だけ、早くなる様に、操作が行われる様に構成されている事が望ましい。

【0034】次に、図1（A）に示される本発明に於ける当該初期化操作開始時点制御手段100の構成の一例とその作動に付いて、図1（B）を参照しながら以下に説明する。即ち、該初期化操作開始時点制御手段100の主たる機能としては、1フレームの表示開始指示信号 $V_{sync}$ の間隔を演算する手段101と当該各フレームの表示開始指示信号 $V_{sync}$ 間隔から該予め定められた所定の個数の $H_{sync}$ パルス分に相当する時間を減算する減算手段102と、該1フレームの表示開始指示信号発生時点から該減算手段により出力される時間が経過した時点、当該サブフレームに於ける初期化操作開始時点と決定する手段103とを有している事が望ましい。

【0035】即ち、図1（B）は、本発明に係る平面表示装置の初期化操作開始時点制御手段100に於ける原

理構成を示すブロック図であり、110はホスト装置より入力されるフレーム制御信号( $V_{sync}$ )期間内の水平走査ライン数( $H_{sync}$ )を数えるライン・カウンタ、111は前記したライン・カウンタ110で数えたデータを、次の $V_{sync}$ 期間中保持しておくためのラッチ回路であり、112は当該ラッチ回路に保持したデータから、初期化に必要な期間(=ここでは3 $H_{sync}$ としている)を引く減算回路であり、113は比較回路であって、該減算回路112の出力SUBと該ライン・カウンタ110の出力LINが入力され、当該減算回路112の出力と該ライン・カウンタ110の出力とが一致した場合、即ち、 $SUB=LIN$ で“L”レベルの信号を出力する。

【0036】又、114はラッチ回路であって、当該比較回路113の出力を $H_{sync}$ 期間ごとに保持するラッチであり、クロックCLK信号のタイミングにตอบสนองして、アドレス開始前に初期化を行うために新たな $V_{sync}$ を生成するものである。そして、その $V_{sync}$ を基準として内部の回路動作が制御される。係る本発明に於ける該平面表示装置の初期化操作開始時点制御手段100に於いては、先ず該ライン・カウンタ110に前記した様に $V_{sync}$ 信号と $H_{sync}$ 信号とが同時に入力される様になっており、該 $V_{sync}$ をクリア信号として使用して、該 $V_{sync}$ が入力した場合には、該ライン・カウンタ110内のカウント値を0にリセットし、次の $V_{sync}$ が入力される迄の間に、該 $H_{sync}$ が何回入力されるかをカウントする。

【0037】該カウント値は、前記した $V_{sync}$ のクリア信号の出力にตอบสนองして、前記ラッチ回路111に当該 $H_{sync}$ 信号の数Nのカウント値が記憶される。ホスト側に於ける $V_{sync}$ と $H_{sync}$ の出力状態は、一定であるから、1フレーム分の $H_{sync}$ が一旦記憶されると当該 $V_{sync}$ 内に於ける $H_{sync}$ の数Nは、変化する事がないので一定である。

【0038】つまり、図1(B)に於ける該ライン・カウンタ110と該ラッチ回路111によって、図1

(A)に於ける1フレームの表示開始指示信号 $V_{sync}$ の間隔を演算する手段101に相当するものである。次に、減算回路112に於いては、当該ラッチ回路111に格納された $V_{sync}$ 間隔期間、即ちカウント値Nから予め定められた所定の数、例えば $H_{sync}$ の発生回数を減算するものであって、図1(B)の例では、当該所定の数を3と設定し、つまり該 $H_{sync}$ 3回分発生する時間に相当する時間を該カウント値Nから減算する( $N-3$ )減算処理を実行するものである。

【0039】即ち、該減算回路112は、図1(A)に於ける減算手段102に相当するものである。又、該比較回路113は、当該減算回路112の( $N-3$ )の出力と、該ライン・カウンタ110から出力される、 $H_{sync}$ の回数とを比較して、両者が一致した場合には、当該比較回路から例えば“L”レベルの出力信号を出力

し、当該“L”レベルの出力信号を第2のラッチ回路114に入力させ、該 $H_{sync}$ の出力タイミングにตอบสนองして、前記した1フレームの表示開始指示信号 $V_{sync}$ を出力させるものである。

【0040】勿論、本発明に於ける当該平面表示装置に於いては、減算回路112に於ける減算値は、3に限定されるものではなく、それ以外の数値を採用する事が可能である。又、本発明に於ける平面表示装置に於いては、アドレス電極、X電極、Y電極の駆動波形は適宜のROMに格納されているので、初期化の期間、アドレス書き込みの期間、およびサステインの期間それぞれに応じてROMのアドレスを設定しておき、必要な時にそれを読み込むことにより、各ドライバーへの制御信号をコントロールすることができる。

【0041】更に、本発明に於いては、当該1フレームに於ける一括初期化操作に於いて、当該初期化操作開始時点、 $V_{sync}$ 信号の入力する以前の所定の時点から遡って実行させるもので有り、具体的には、最初の1工程では、単に隣接する $V_{sync}$ 信号間の時間間隔を測定する操作を行い、当該時点に於ける該隣接する $V_{sync}$ 信号間の時間間隔を確認、決定するものである。

【0042】その後、次の工程からは、前記に於いて求められた、隣接する $V_{sync}$ 信号間の時間間隔から所定の数の $H_{sync}$ が発生する期間を減算して求めた期間(例えば $N-3$ )が、前記した、 $V_{sync}$ の発生時点に先立って、当該一括初期化操作を前倒し的に実行させる時点として決定するものである。図2は、上記した様な構成を有する平面表示装置に於いて、該 $V_{sync}$ を出力させる本発明の駆動タイミングを示す図である。

【0043】図中、S1'は初期化のための一括消去・書き込みW/E期間、S2は表示データを書き込むアドレス期間、S3は書き込まれたデータに応じて表示を行うサステイン期間である。また、 $V_{sync}$ はフレーム開始を規定する制御信号で、その立ち下がりエッジでフレーム開始となるものである。図2から明らかな様に、本発明に於ける平面表示装置に於いては、1つのフレームを走査ライン単位で構成される複数のサブフレームに時間的に分割して表示すると共に、該分割された各サブフレームを、更に少なくとも当該複数個のセル部10を一括して選択し且つ書き込み操作を実行する全面初期化期間S1'と、所定の選択されたラインに於ける所定のセル部に適宜の表示データの書き込み操作を実行するアドレス期間S2と、該表示データが書き込まれたセル部10を所定の期間、放電発光させる維持放電期間S3とで構成せしめる。

【0044】図2に於いて、ホスト側から、所定のフレーム表示操作開始信号である $V_{sync}$ が時刻 $t_1$ 、 $t_2$ と言うタイミングで入力されている場合、従来では、該 $V_{sync}$ が入力された時点から該一括消去・書き込みW/E期間S1'を開始させ、仕様で規定された所定の時間 $t'$

を遅延させた時点 $S T'$ から表示データの送出を開始しているのに対して、本発明に於いては、図示の様に、隣接する $V_{sync}$ 間の間隔 $N$ から、例えば3を減算した $N-3$ の時点 $S T$ に於いて、当該 $V_{sync}$ に先立って当該一括消去・書込み $W/E$ 操作を開始させる様にしているものである。

【0045】尚、本発明に於ける該一括消去・書込み $W/E$ 操作期間 $S 1'$ に於いて、全てのセルに対して同時に書込みパルス $WP$ を印加後、 $Y$ 電極に対して一括消去パルスを印加するものであるが、係る一括消去パルス $EP$ が、図示されている様に、急峻なダウンエッジパルス形状を有せずに裾広大状の鈍りパルスを使用しているが、これは、複数のセル部分には、消去動作速度にばらつきが存在しているので、急峻なダウンエッジパルス形状を有する一括消去パルス $EP$ を使用すると、消去動作が早いセルは、早く放電が終了してしまい、当該放電が終了していないセル部分が、放電を完了しきれないで残留してしまうおそれがあり、従って、完全な初期化を計る事が不可能となるので、図示の様なダウンエッジパルス形状のパルスを利用するものである。

【0046】この様に、本発明に於いては、前記した様な方法で、 $V_{sync}$ を発生させた後は、従来と同様の一括消去・書込み $W/E$ 操作期間 $S 1'$ が実行され、その後、アドレス期間 $S 2$ 及び維持放電期間 $S 3$ がそれぞれのライン毎に実行される事になる。図3は、本発明に係る平面表示装置に於いて使用される減算手段102、112の一例の構成を示すブロックダイアグラムであり、基本的には、ORゲート回路の組み合わせにより構成されている例を示してある。

【0047】即ち、図3に於いて、ラッチカウンタ110とラッチ回路111とを含む演算器131の入力端部 $D 0 \sim D 7$ のそれぞれにカウント値 $N 0$ から $N 7$ が入力されると同時に、他の入力端部 $CKEN$ 及び $CLK$ にそれぞれ $V_{sync}$ と $H_{sync}$ が入力される様に設定されている。一方、該演算器131の出力端部側には、ANDゲート回路132、2端子入力ORゲート回路133、136、3端子ORゲート回路134、137、4端子ORゲート回路135、エクスクルシブORゲート回路138、エクスクルシブNORゲート回路139~144、及びインバータ145とが、図示のような配線接合関係を有して配置構成されたものであり、係る回路構成によって、前記した様に、 $V_{sync}$ 間に於ける $H_{sync}$ 信号の総発生回数 $N$ から、所定の $H_{sync}$ 信号の発生回数分例えば3回分を減算する $N-3$ の演算処理を実行する回路が構成されている。

【0048】上記減算回路の出力 $S 0$ から $S 7$ は、比較手段113の入力に接続されているものである。図4は、上記した減算回路を用いて構成された平面表示装置の駆動制御回路の一例を示すブロックダイアグラムである。即ち、図4は本発明の一実施例である、三電極型カ

ラーPDP装置のタイミング制御部を示したものであって、図中、図1で示したものと同一のものは同一の記号で示してある。

【0049】図中、4aはホスト装置より入力される外部信号である $V_{sync}$ と $H_{sync}$ より内部駆動用のフレーム制御信号 $V_{rev}$ を生成する回路であり、当該回路の動作は、前述した通りである。一方、4bはアドレスカウンタ140で構成され、 $H_{sync}$ の周期で波形ROMへアドレスをする信号を生成する回路であり、基準となる $XCLK$ をクロックとするカウンタでアドレス数をカウントして出力するものであり、当該カウント値は、 $H_{sync}$ 毎にクリアされる様に構成される。

【0050】つまり、該アドレスカウンタ140では、 $H_{sync}$ の範囲内で基本パルス数をカウントしてそのカウント値に相当するアドレス信号 $AD 0 0 \sim AD 0 8$ を出力する。係るアドレス信号によって、1フレームを構成する複数本のラインが順次を選択され、書込み操作が実行される。

【0051】又、4cは、前記した回路4aで生成された内部信号である $V_{rev}$ の周期で駆動波形のモードを制御するためのアドレス信号を生成するラインカウンタ回路141で、 $H_{sync}$ の数を計数するカウンタと必要なタイミングをデコードするためのゲートにより構成され、当該カウント値は $V_{rev}$ でクリアされる。又、本制御回路4aには、更にモード切り換え回路142が設けられており、当該ラインカウンタ141のカウント値に応じて、所定のモードに切り換える操作を行うものである。

【0052】例えば、図示されている様に、当該モード切り換え回路142には、当該 $H_{sync}$ のカウント値 $N$ が3となった場合に、アドレス期間 $S 2$ に入る様に指示する制御信号 $AD 0 9$ を出力させる様に構成されている。即ち、本発明に於ける平面表示装置に於いては、該 $V_{sync}$ が内部的に発生されると直ちに一括書込み消去期間 $S 1'$ が開始され、当該 $H_{sync}$ のカウント数が3と成った場合に、アドレス期間 $S 2$ に入る様に設定されている。

【0053】更に、当該 $H_{sync}$ のカウント値 $N$ が178となった場合に、アドレス期間 $S 2$ を終了する事を指示する制御信号 $AD 1 0$ を出力させる様に構成されている。本具体例に於いては、1フレームを構成するライン数を176に設定してあるが、先に一括書込み消去期間 $S 1'$ で3 $H_{sync}$ 分のパルスに相当する時間を使用するのでアドレス操作終了時点は、179となる。

【0054】然しながら、本発明に係る平面表示装置に於いては、 $H_{sync}$ のカウント数が、例えばノイズによって変動した場合に、未だ演算回路がアドレス期間 $S 2$ の処理を実行しているにも係わらず維持放電期間(サステイン期間) $S 3$ に入ってしまったか、逆に維持放電期間 $S 3$ に入っているのに、未だアドレス期間 $S 2$ の演算を実行していると言うような問題が発生していたが、本発



明に於ける該具体例に於いては、係る状況に於いて、それぞれの演算処理に於いて誤動作の発生を防止する為、当該Hsyncの数のカウントに際して、チェックポイントを設け、例えば当該Hsyncのカウント数Nが179となった場合には、制御信号AD11を出力して、次のカウントに於いては、アドレス期間を延長することなく、必ず維持放電期間S3に入る様なモード設定にしておく事も望ましい。

【0055】尚、本発明に於ける上記具体例に於いては、更に後述する様に、維持放電期間（サステイン期間）S3に於ける維持放電回数を変化させて、画像表示輝度を調整するモードを付加する事も出来る。次に、本発明に於ける上記平面表示装置による動作タイミングを図5に示す。ホスト装置より入力されるVsyncから、例えばプラズマディスプレイ装置PDPの様な平面表示装置の初期化に必要な期間、例えば3Hsync分前のタイミングで内部回路の制御信号Vnevを作り、ここから駆動が開始される。

【0056】そして、Vnevが入ってからHsyncを3つ数えると初期化を終え、ホスト装置より入力される表示データを順次各ラインの所定のセル部分に所定の状態を書き込むために、ROMアドレス信号AD09を“H”として、アドレス期間の波形を格納している場所へアドレスを飛ばし、書き込みアドレス-1期間S1'-1となる。

【0057】本具体例では、表示ライン数が176本の平面表示装置、例えばプラズマディスプレイ装置PDPを駆動するタイミングを与えており、従ってこのアドレス期間は176回繰り返される。しかし、最後のアドレス期間はROMへのアドレス信号が必要以上に多く入ってしまう可能性をなくすため、基準のクロックXCLKが多く入ってもあるアドレスで停止するという機能をいれるため別のデータ格納場所へのアドレスを入れるようにしており、そのための信号がAD10となる。そして、アドレス期間が終了する時点で次のサステイン期間に移行するために、それまでアドレス電極とY電極に書き込んだデータをX、Y電極間に移すため、X、Y間でのサステインを行う。これが書き込みアドレス-3の期間（S1'-3）である。そして、全画面に書き込まれたデータを表示するため、AD11をアドレスしてサステイン期間の波形が格納される場所へアクセスしてサステイン期間に移る。このサステイン期間は次のVsyncが入るまで持続され、再び初期化の期間に戻る。

【0058】次に、本発明に係る平面表示装置の他の具体例（実施例2）に付いて図11及び図12を参照しながら説明する。即ち、本具体例は、基本的構成は、前記した実施例1と同一であるが、更に、該維持放電期間（サステイン期間）に於ける維持放電回数をライン毎或いはフレーム毎に変化させる事によって、画面の表示輝度を变化させる様にするモードを追加したものである。

【0059】つまり、上述の実施例1において、維持放電期間（サステイン期間）はアドレス書き込み期間が終了後、次のVsyncが入るまで繰り返されるが、このサステイン期間に行われるサステイン回数を制御することによりプラズマディスプレイ装置PDP等の平面表示装置に於ける表示画面の表示輝度を変えることができる。そのために、輝度設定用の適宜のスイッチ等を更に設け、外部よりスイッチの選択が出来るようにしておく。駆動波形の最小単位はHsyncで構成されるので、1Hsyncに行なわれるサステインの回数を例えば4通り準備し、サステイン期間の中で4つの格納場所に格納しておき、これを外部設定される輝度スイッチに従って図11に示す様な2本のアドレス信号（例えばBD00, BD01）をROMアドレスに追加することによって、表示輝度を可変できる階調変更可能な平面表示装置を実現することが可能である。

【0060】更に具体的に上記輝度変更方法に付いて説明すると、各ライン、つまり1Hsyncに於ける維持放電回数を変更する指示データとして、図10に例示する様に異なる重み付け信号を有する4種の波形データSUS-1からSUS-4を用意しておき、適宜の選択信号に基づいて、当該波形データSUS-1からSUS-4の何れかを選択して当該維持放電操作を実行するものであり、その選択操作をアドレス信号BD00からBD01の2ビット信号を組み合わせて4種の選択信号を作成して選択するものである。

【0061】もっとも、該波形データの種類の数は4種に限定されるものではなく、8種類にしても良く、またそれ以上の種類に設定するもので有っても良い。上記例に於ける該4種の波形データSUS-1からSUS-4のそれぞれに於ける当該維持放電回数を1:2:4:8となる様に設定したものであっても良く、又1Hsync当たり当該維持放電回数をSUS-1で5回、SUS-2で4回、SUS-3で3回、SUS-4で2回と言う様に設定するもので有っても良い。

【0062】この様に、選択される波形データSUSに従って個々に変化させる事により、当該平面表示装置に表示される1フレームの輝度を变化させる事が可能となる。図11は、上記の操作を実行する場合のROMに於ける各制御信号の動きを説明する図であって、アドレス信号AD00からAD08の各信号は、初期化領域とアドレス領域に供給されると同時に、維持放電期間に於いては、維持放電を行う為の交互パルスが発生させる信号となる。

【0063】一方、アドレス信号AD09~AD11は、前記した様に、モード切り換えを実行する制御信号であって、アドレス信号AD11が、当該維持放電期間を指示する事から、残りのアドレス信号AD09とAD10を利用して、前記した波形データSUS1~SUS-4の何れかを選択する信号の供給に利用するものであ

る。

【0064】具体的には、図11に於けるスイッチ手段150に於いて、外部信号であるBD00~BD01の信号を該アドレス信号AD09とAD10と切り換えて使用し、BD00/BD01が、L/Lである場合には、該SUS-1を選択し、BD00/BD01が、L/Hである場合には、該SUS-2を選択し、BD00/BD01が、H/Lである場合には、該SUS-3を選択し、BD00/BD01が、H/Hである場合には、該SUS-4を選択すると言うようにアルゴリズムを設定しておき、当該表示操作を実行する時点で、各ライン毎、あるいは各フレーム毎に、当該波形データ選択信号を指定して、表示させる事により、表示画面の輝度を適宜変更させる事が可能となる。

【0065】図12は、上記で説明した外部信号であるBD00~BD01の信号と該アドレス信号AD09とAD10とを切り換えて使用しする際に使用される切り換え回路150の一具体例の構成を示すブロックダイアグラムである。該切り換え手段150に於いては、ANDゲート回路161~167、ORゲート回路169~171が、図示の様な配線接続により配置構成されており、入力端部のDA0からDA2はアドレス信号に相当するものであり又DB0~DB1は、外部信号BD00とBD01にそれぞれ相当するものである。

【0066】一方、出力端部のA0は、前記したAD09に相当し、A1はAD10に相当し、又A2は前記したAD11に相当するものである。次に、本発明に於ける平面表示装置の別の具体例を実施例3として図13を参照しながら以下に説明する。本発明に係る平面表示装置に於いて、所定の画像を表示するに際して、図13に示す様に、当該平面表示装置を流れる電流は、初期化期間S1'とアドレス期間S2に於いては、それ程大きな電流は流れないので実用上特に問題とはならないが、維持放電期間S3に入ると当該電流は急激に増大する事が理解される。

【0067】従って、かかる電流をそのままにしておく事は、消費電力を増加させる事になるため経済的とは言えなくなる。その為、本具体例に於いては、係る平面表示装置を流れる電流を適宜の電流検知手段を設けて検出し、当該電流値が、予め定められた基準値を超えた場合に、当該維持放電操作を中止させる様にするものである。

【0068】即ち、本発明に係る平面表示装置の制御手段の一部に表示用電源の電力を低減する自動電力制御回路APC(=Automatic Power Control)を設けるものである。本具体例に於いて使用される電流検知手段は特に限定されるものではなく、従来公知の電流検知手段が使用可能である。

【0069】要は、本具体例に於いて、当該電流検知手段が、当該電流値が所定の基準値を超えたと判断した場

合には、図13に示す様な維持放電操作禁止パルスを出力させ、当該ラインに於ける維持放電操作を中断し、維持放電による発光を停止させるものである。次に、本発明に於ける平面表示装置の更に他の具体例を実施例4として以下に説明する。

【0070】即ち、本発明に係る上記した平面表示装置に於いて、基本的には、外部から入力されるVsyncとHsyncを検出し、当該Vsyncよりも、例えばHsync信号3個分だけ前倒し的に早めた時刻に一括書込み消去操作を実行し、該Vsyncの入力直後に表示データが入力されても十分余裕を以て表示しえる様に構成したものであるが、本具体例に於いては、その技術思想を更に拡大するもので有って、任意のホスト装置より入力される表示データ送出信号に応答して、当該入力信号からデータ書込み前に初期化の期間を自動的に設定することにより、任意のホスト装置からの制御タイミングに対応した駆動波形を生成する機能を有する様に構成したので有る。

【0071】つまり、上記の様にVsyncを基準として判断する構成となつてはいるが、該Vsyncが入力するタイミングは、ホスト装置により種々の異なっている。従って、ホストの自由度を拡げる為、此处からデータが開始されると言う信号を別に貰って、その開始位置からのHsyncの数をカウントすれば、その開始位置から、前記したのと同様の方法で、前倒し的な所定の位置からアドレス操作を開始させる信号を作成する事が出来、それによって、特に何個目のHsyncから開始させると言う限定をしなくても良くなるという効果がある。

【0072】例えば、ディスプレイタイミング信号等がこの具体例に於いて使用出来る。

【0073】

【発明の効果】以上説明した様に、本発明によればフレーム開始の制御信号Vsyncを受けてすぐにデータ送出が開始されるホスト装置に対しても、内部制御用のVsyncを独自に生成し、他の回路を制御するため、一括書込み・消去形の初期化操作を有し且つアドレス/維持放電分離型・書込みアドレス方式による駆動が使用可能となる効果を奏し、安定した表示品質を実現することが出来、係る三電極型カラーPDP装置の性能向上に寄与するところが大きい。

【0074】又、本発明に於いては、外部より当該フレーム開始の制御信号Vsyncを受けてから、再び外部より次のフレーム開始制御信号Vsyncを受けるまでの間に、当該平面表示装置内部で、積極的に当該フレーム開始制御信号Vsyncに相当する、必要なフレーム制御信号Vsyncを生成することにより、独自に初期化を行う期間を設定することが出来ると同時に、当該フレーム制御信号Vsyncを、当該フレーム開始制御信号Vsyncよりも前の任意の時点に、設定する事が出来るので、当該フレームに於ける該初期化開始操作を従来に比べて早期に実行できるので、フレーム開始の信号を受けてすぐに1ライン

目のデータ信号が送られてくる様な場合でも、即時に安定した表示品質の画像表示を行いうる平面表示装置を得る事が出来ると共に、任意のホスト装置からでも画像入力信号を受ける事が可能となる。

#### 【図面の簡単な説明】

【図1】図1は、本発明に係る平面表示装置の制御手段の構成例を説明するブロックダイアグラムであり、図1(A)は、該制御手段の原理を説明するブロックダイアグラムであり、図1(B)は、図1(A)の構成をより具体的に説明するブロックダイアグラムである。

【図2】図2は、本発明に係る平面表示装置に於ける動作タイミングを説明するタイミングチャートである。

【図3】図3は、本発明に於ける減算回路の一具体例の構成を説明するブロックダイアグラムである。

【図4】図4は、本発明に係る平面表示装置の一具体例の構成を説明するブロックダイアグラムである。

【図5】図5は、図4に於ける平面表示装置の駆動波形を示すタイミングチャートである。

【図6】図6(A)は、平面表示装置の構成の一例を説明する平面図であり、図6(B)は、平面表示装置のセル部分の構成の一例を示す断面図である。

【図7】図7は、従来に於ける平面表示装置の駆動手段の構成例を示すブロックダイアグラムである。

【図8】図8は、従来に於ける平面表示装置に於ける駆動タイミングを示すタイミングチャートである。

【図9】図9は、従来の平面表示装置に於ける駆動タイミングを示すタイミングチャートである。

【図10】図10は、本発明に係る平面表示装置に於いて使用される波形データの一部構成例を示す図である。

【図11】図11は、本発明に係る平面表示装置の他の具体例の駆動原理を説明する図である。

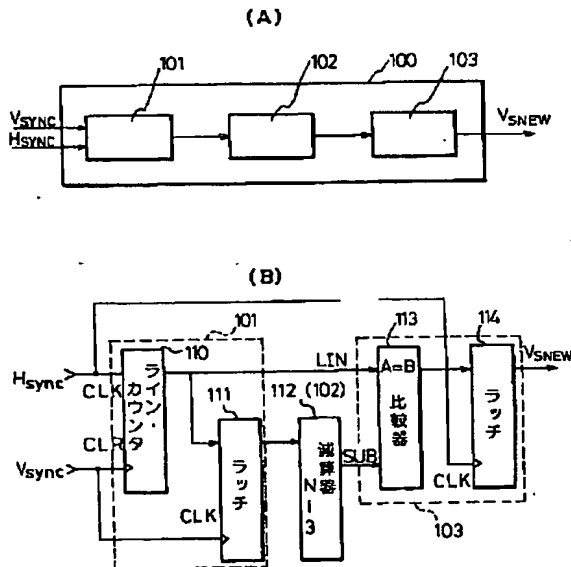
【図12】図12は、図11に於ける平面表示装置に於いて使用されるデータ切り換え手段の構成例を説明するブロックダイアグラムである。

【図13】図13は、本発明に係る平面表示装置の別の具体例の駆動タイミングを説明するタイミングチャートである。

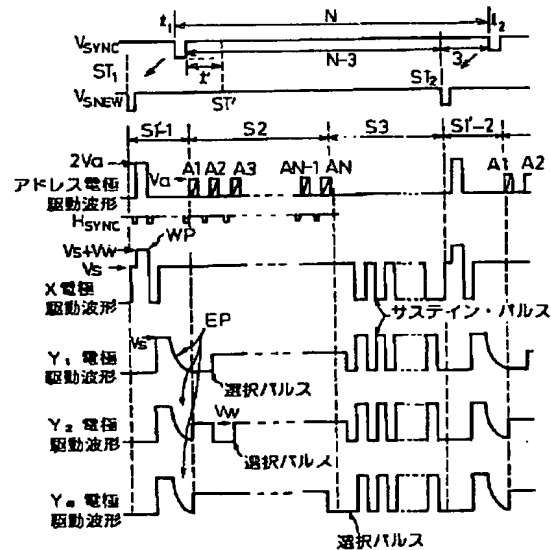
#### 【符号の説明】

100…平面表示装置  
101… $V_{SYNC}$  間隔測定手段  
102…減算手段  
103…初期化操作開始信号生成手段  
110…ラインカウンタ  
111…ラッチ手段  
112…減算手段  
113…比較手段  
114…ラッチ手段  
S1、S1'…初期化操作期間  
S2…アドレス操作期間  
S3…維持放電操作期間

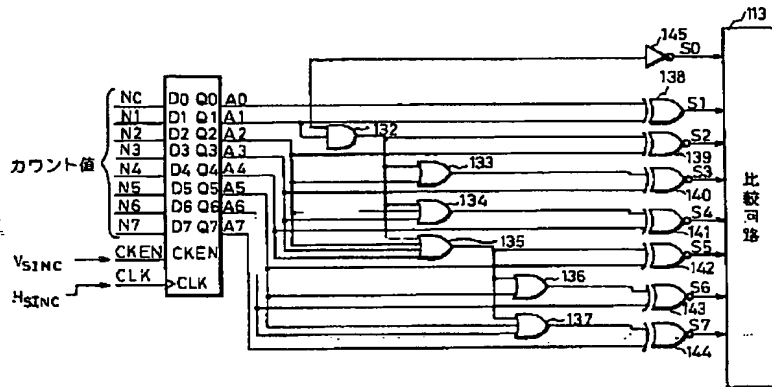
【図1】



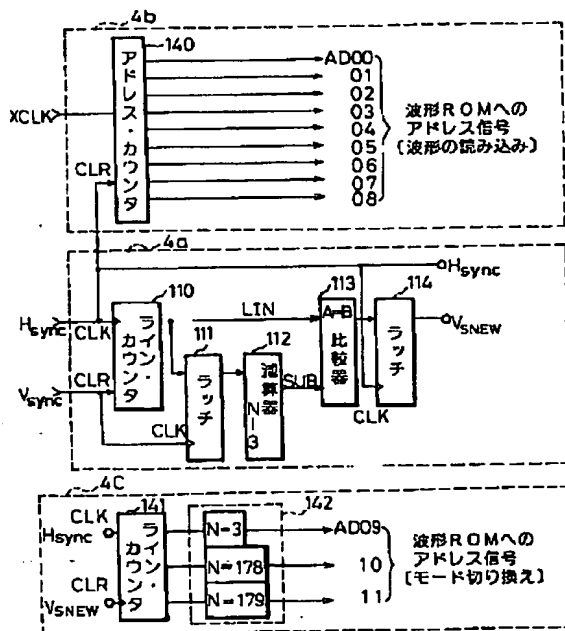
【図2】



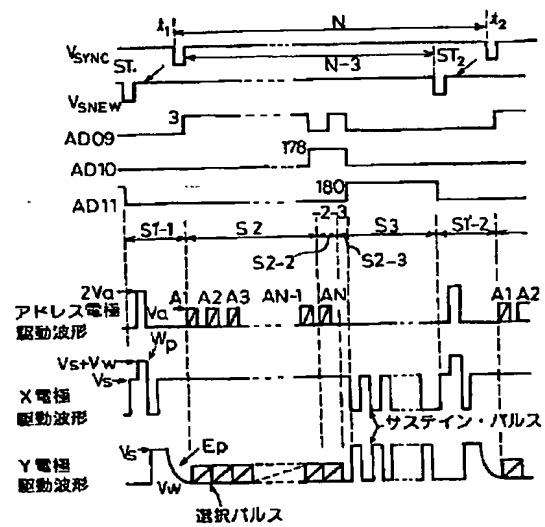
【図3】



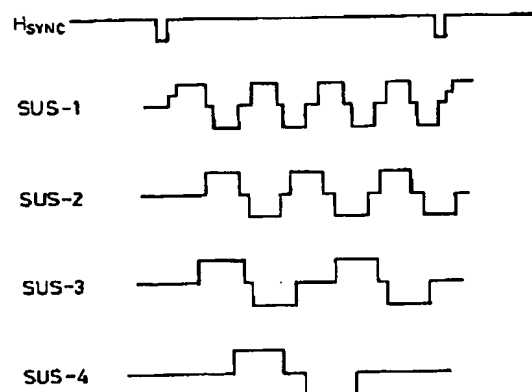
【図4】



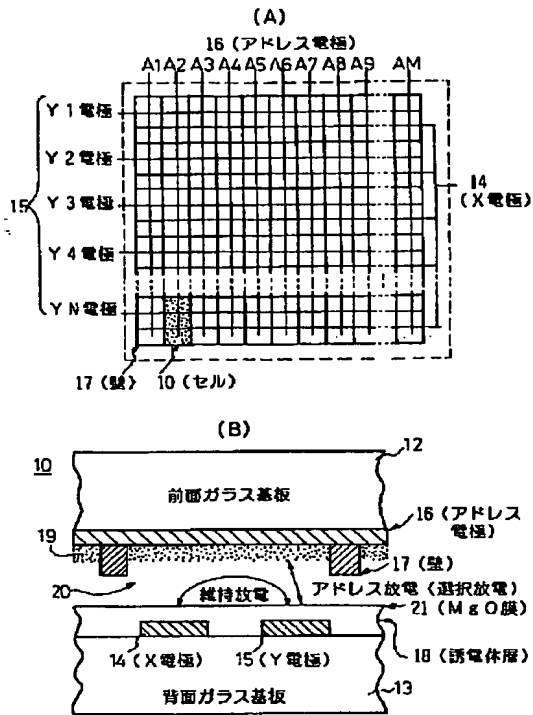
【図5】



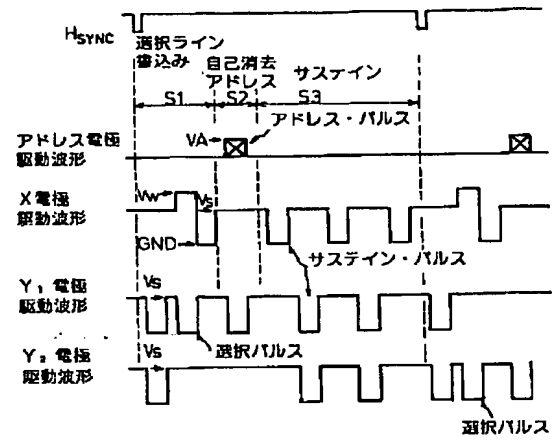
【図10】



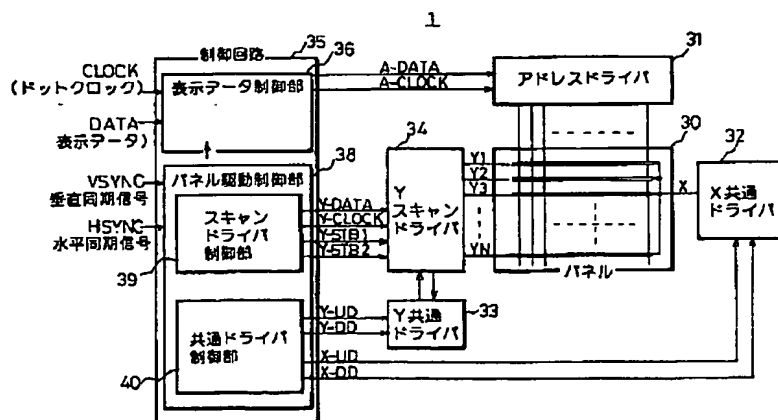
【図6】



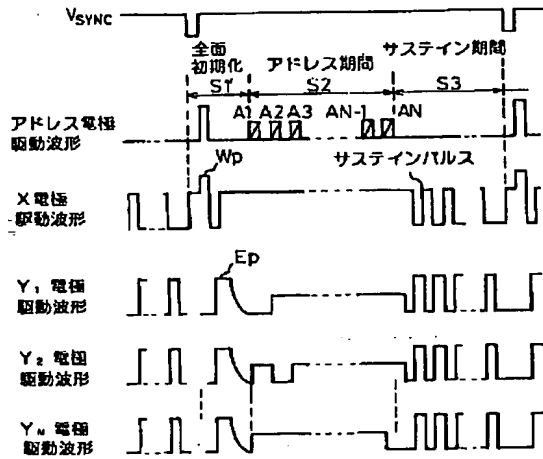
【図8】



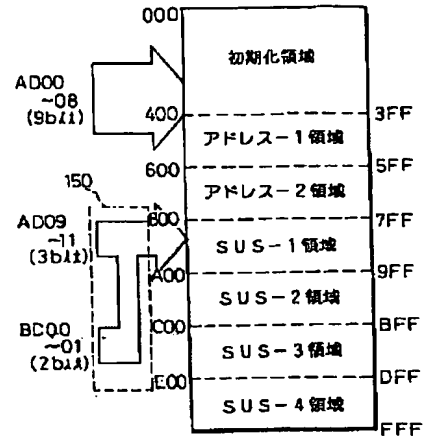
【図7】



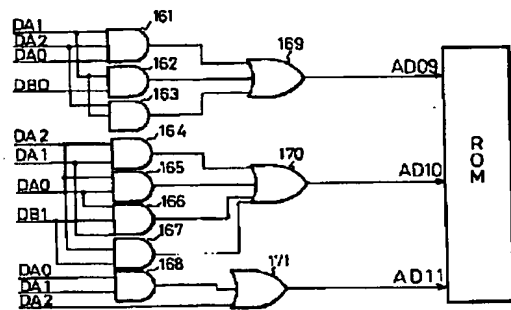
【図9】



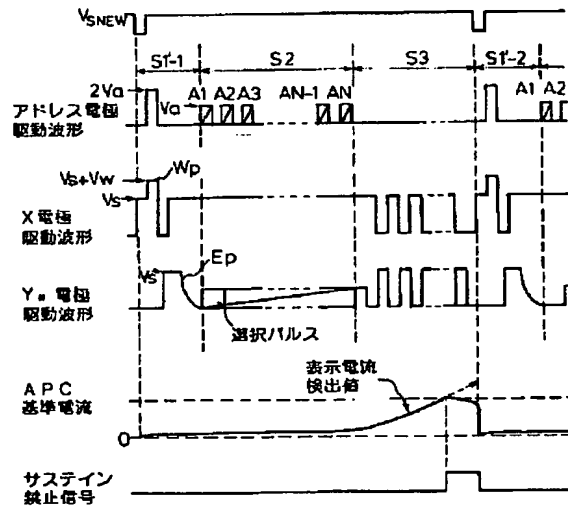
【図11】



【図12】



【図13】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H04N 9/20

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 山本 晃  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内